

DEUTSCHES
PATENTAMT

Patentschrift
DE 195 30 664 C 2

⑤ Int. Cl.⁶:
H 01 L 23/62
H 02 H 3/08

DE 195 30 664 C 2

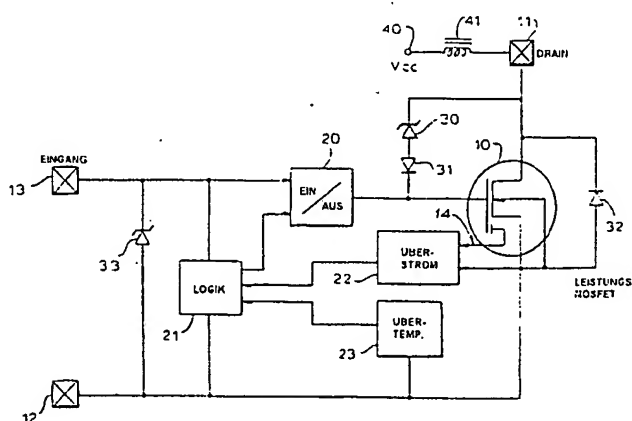
- | | | |
|----|--|-----------------|
| ②1 | Aktenzeichen: | 195 30 664.3-33 |
| ②2 | Anmeldetag: | 21. 8. 95 |
| ④3 | Offenlegungstag: | 7. 3. 96 |
| ④5 | Veröffentlichungstag
der Patenterteilung: | 15. 10. 98 |

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

- | | |
|---|--|
| <p>(30) Unionspriorität:
298383 30. 08. 94 US</p> <p>(73) Patentinhaber:
International Rectifier Corp., El Segundo, Calif., US</p> <p>(74) Vertreter:
G. Koch und Kollegen, 80339 München</p> | <p>(72) Erfinder:
Nadd, Bruno C., Puyvert, FR; Houk, Talbott M.,
Culver City, Calif., US</p> <p>(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 44 29 903 A1</p> |
|---|--|

⑤4 Leistungs-MOSFET mit Überlastungsschutzschaltung

- (57) Leistungs-MOSFET mit einem Übergangsbereich, der in einem Siliziumplättchen ausgebildet ist, mit einer auf Fehler ansprechenden Signalschaltung, die in das gleiche Siliziumplättchen integriert ist, wobei der Leistungs-MOSFET ein Siliziumsubstrat vom N-Leitungstyp umfaßt, das eine Vielzahl von sich in jeweiligen Bereichen vom P-Leitungstyp befindenden Zellen enthält, die in dem Siliziumplättchen ausgebildet sind und alle Zellen gemeinsame Source-Drain- und Gateelektroden aufweisen, und mit einer Wanne (120) vom P-Leitungstyp, die in dem Substrat (110) vom N-Leitungstyp ausgebildet ist und in der die auf Fehler ansprechende Signalschaltung ausgebildet ist, dadurch gekennzeichnet, daß die auf Fehler ansprechende Signalschaltung eine Fehler-Signalspeicherschaltung (21) einschließt, die mit den Gateelektroden verbunden ist, um den Leistungs-MOSFET (10) bei Auftreten eines Fehlerzustandes abzuschalten, daß die auf Fehler ansprechende Signalschaltung einen bipolaren Transistor (100) einschließt, der in die Wanne (120) vom P-Leitungstyp integriert und so geschaltet ist, daß er in einer inversen Betriebsart bei einer Durchlaßvorspannung der Übergangsdiode (32) des Leistungs-MOSFET angeschaltet wird, daß der bipolare Transistor (100) im eingeschalteten Zustand das Substrat (110) vom N-Leitungstyp mit der Wanne (120) vom P-Leitungstyp kurzschließt, und daß ein MOSFET-Steuertransistor (M7) in eine zweite Wanne vom P-Leitungstyp integriert und derart geschaltet ist, daß er beim Einschalten des bipolaren Transistors (100) abgeschaltet wird, wodurch die Aktivierung eines parasitären Transistors verhindert wird, der aus dem Siliziumsubstrat vom N-Leitungstyp, der zweiten Wanne vom P-Leitungstyp und zumindest einem in dieser ausgebildeten Bereich vom N-Leitungstyp gebildet ist, wobei der MOSFET-Steuertransistor mit der Fehler-Signalspeicherschaltung (21) für den Leistungs-MOSFET verbunden ist, um die Gates abzuschalten und den Leistungs-MOSFET abzuschalten, wenn der MOSFET-Steuertransistor (M7) leitet.



Beschreibung

Die Erfindung bezieht sich auf Leistungs-MOSFET's der im Oberbegriff des Anspruchs 1 genannten Art und insbesondere auf Leistungs-MOSFET's, die integrierte Steuerschaltungen auf einem gemeinsamen Halbleiterplättchen aufweisen.

Ein derartiger Leistungs-MOSFET ist in der DE 44 29 903 A1 beschrieben. Dieser Leistungs-MOSFET ist ein vollständig geschützter, drei Anschlüsse aufweisender monolithischer 'Smart Power'-MOSFET, der eine Überstromabschaltung für einen Kurzschlußschutz und eine Gate-Drain-Klemmschaltung für einen Überspannungsschutz aufweist. Dieses Bauteil ist im Prinzip ein Leistungs-MOSFET mit einer Steuerschaltung, die aus der Gate-Source-Spannung mit Leistung versorgt wird. Derartige Bauteile werden von der Firma International Rectifier unter der Bezeichnung 'SMARTFET' vertrieben. Die Steuerschaltung umfaßt: 1) eine Einschalt-/Ausschalt-Schaltung oder einen Leistungs-MOSFET-Treiber, der auf eine von außen angelegte Eingangs-Source-Spannung und das Ausgangssignal einer Logikschaltung anspricht, 2) eine Überstrom-Schutzschaltung, 3) eine Übertemperatur-Schutzschaltung und 4) eine Logikschaltung zur Verarbeitung aller dieser Steuersignale. Zusätzlich weist das Bauteil eine aktive Drain-Gate-Überspannungs-Klemmschaltung auf. Sowohl bei einem Übertemperatur- als auch bei einem Überstrom-Zustand sollte ein Fehler-Signalspeicher innerhalb der Logikschaltung gesetzt werden, wodurch der Leistungs-MOSFET abgeschaltet wird. Weiterhin sollte dieser Signalspeicher so lange gesetzt bleiben, bis die Eingangs-/Source-Spannung des Leistungs-MOSFET's (die die Leistung für den Signalspeicher liefert) auf Null reduziert wurde.

Es wurde festgestellt, daß bei bestimmten Anwendungen (High-Side- bzw. Low-Side-Schalter), beispielsweise wenn der Leistungs-MOSFET eine induktive Last in einer Konfiguration als 'erdseitiger' oder niederspannungsseitiger Schalter ansteuert, und während einer sogenannten 'geklemmten induktiven Rücklaufspannung' bei einem Übertemperaturzustand in dem Leistungs-MOSFET die Fehler-schaltung in unbeabsichtigter Weise zurückgesetzt werden kann, selbst wenn der Fehlerzustand immer noch vorliegt.

Im einfachen Fall eines mit geerdeter Source betriebenen Leistungs-MOSFET's (ohne integrierte Steuerschaltungen), der als Gleichstromschalter zur Ansteuerung einer induktiven Last verwendet wird, die zwischen der Drainelektrode des MOSFET's und einer positiven Leistungsversorgung eingeschaltet ist, könnten die Stromleitungs- und Schaltverluste in dem MOSFET hoch genug werden, damit die Grenzschichttemperatur auf einen derartig hohen Wert gebracht wird, daß die Zuverlässigkeit des Bauteils beeinträchtigt würde. Wenn jedoch bei einem 'SMARTFET-MOSFET der eingangs genannten Art mit integrierten Schutzschaltungen die Grenzschichttemperatur des Leistungsbauteils über einen vorgegebenen Schwellenwert ansteigt (typischerweise 160°C), so wird der Fehler-Signalspeicher der Steuerschaltung gesetzt, wodurch das Gate des MOSFET auf einen niedrigen Pegel gezogen wird und dieser abgeschaltet wird. Sobald das Gate des MOSFET's auf einen niedrigen Pegel gezogen wurde, muß der Strom in der induktiven Last abklingen, so daß sich die Spannung längs der Last umkehrt (weil $V = L di/dt$ ist und di/dt negativ ist), so daß die Drainspannung des Leistungs-MOSFET's ansteigt. Bei Fehlen von Klemmschaltungen und bei einer stark induktiven Last kann diese Drainspannung ansteigen, bis die Drain-/Source-Grenzschicht des Leistungs-MOSFET's durchbricht, worauf der abklingende Laststrom durch die Drain-/Source-Grenzschicht des MOSFET's fließt.

Weil Leistungs-MOSFET's in diesem Durchbruchsbetriebsbereich nicht sehr widerstandsfähig sind, weisen die Leistungs-MOSFET's mit integrierten Steuerschaltungen der eingangs genannten Art eine aktive Drain-/Gate-Klemmschaltung auf, die den Leistungs-MOSFET einschaltet, wenn die Drain-/Gate-Spannung einen vorgegebenen Schwellenwert übersteigt, und zwar bei einer Drain-/Source-Spannung, die kleiner als die Durchbruchsspannung der Drain-/Source-Diode ist. Auf diese Weise kann die Energie, die von dem Leistungs-MOSFET absorbiert werden kann (die normalerweise als 'Lawinendurchbruch-Nennwert' bezeichnet wird), stark vergrößert werden (um einen Faktor von 1 bis 100).

Entsprechend würde bei dem oben erwähnten Übertemperaturzustand eines Leistungs-MOSFET's mit integrierter Steuerschaltung das Gate zu Anfang auf einen niedrigen Pegel gezogen, worauf die Drainelektrode auf einen hohen Pegel ansteigen würde (MOSFET abgeschaltet), worauf das Gate erneut über die Drain-/Gate-Klemmschaltung auf einen hohen Pegel gezogen würde (die Drain-/Gate-Klemmschaltung übersteuert das Fehler-Signalspeicher-Signal). Selbst wenn die Drain-/Gate-Klemmschaltung und der Leistungs-MOSFET eingeschaltet sind, muß der Fehler-Signalspeicher seinen Logikzustand mit verriegelter Abschaltung beibehalten, so daß, sobald der Strom in der induktiven Last auf nahezu Null abgesunken ist, die Drainspannung bei abgeschaltetem Leistungs-MOSFET stabilisiert wird.

Das Problem, das wir festgestellt haben, besteht darin, daß, sobald der Laststrom ausreichend weit abgesunken ist, die Stabilisierung der Drainspannung bei einem üblichen Leistungs-MOSFET bei bestimmten Anwendungen in Form einer schlecht gedämpften Schwingung erfolgen kann, die schließlich die Versorgungsspannung erreicht und die in einem vorübergehenden Zustand die zwischen den Drain- und Source-Elektroden angeordnete integrierte Schutzdiode des Bauteils in Durchlaßrichtung vorspannen kann. Wenn diese integrierte Schutzdiode, die als Übergangsdiode im Bereich des MOSFET ausgebildet ist, in Durchlaßrichtung vorgespannt wird, so tritt eine parasitäre inverse bipolare NPN-Wirkung zwischen der Drain-/epi- (NPN-Emitter-) Spannung, der P-Senke der Steuerschaltung, die mit der Leistungs-MOSFET-Sourceelektrode verbunden ist (NPN-Basis), und irgendeinem N⁺-Bereich an der Oberfläche der Halbleiter-Steuerschaltung (mehrfache NPN-Kollektoren) auf. Die letzteren N⁺-Bereiche könnten beispielsweise durch die Drain- oder Source-Bereiche von NMOS-Bauteilen gebildet werden, die in der Steuerschaltung verwendet werden. Im Fall eines typischen NMOS-Inverters würde eine derartige parasitäre NPN-Wirkung dazu führen, daß das Ausgangssignal des Inverters einen niedrigen Logikpegel annimmt, und zwar unabhängig von seiner Eingangsspannung. Der leitende Zustand der integrierten Schutzdiode des Leistungs-MOSFET's bewirkt dann ein Rücksetzen des Fehler-Signalspeichers, so daß nach der Erholung von einem Übertemperatur-Abschaltzustand der Leistungs-MOSFET eingeschaltet ist, obwohl er ausgeschaltet sein sollte, was dem Zweck des Übertemperatur-Schutzes entgegenwirkt.

Der Erfindung liegt daher die Aufgabe zugrunde, einen Leistungs-MOSFET der eingangs genannten Art zu schaffen, dessen Steuerschaltung ein fehlerhaftes Rücksetzen des Fehler-Signalspeichers der Steuerschaltung verhindert und bei dem die gesamte, die Steuerschaltung aufnehmende P-Wanne (in einem N-Kanal-Bauteil) von der in dem Bereich des MOSFET integrierten Übergangs-Schutzdiode entkoppelt ist.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der

Erfindung, ergeben sich aus den Unteransprüchen.

Bei dem erfindungsgemäßen Leistungs-MOSFET verhindert die Steuerschaltung jedes fehlerhafte oder unerwünschte Rücksetzen des Fehler-Signalspeichers und die gesamte P-Wanne, in der die Steuerschaltung angeordnet ist (bei einem N-Kanal-Bauteil) ist von der integrierten Übergangs-Schutzdiode, die im Bereich des MOSFET's ausgebildet ist, entkoppelt.

Bei dem erfindungsgemäßen Leistungs-MOSFET wird die parasitäre NPN-Wirkung daran gehindert, eine Fehlfunktion der Logikschaltung hervorzurufen, indem ein weiterer (beabsichtigter) inverser NPN-Transistor eingefügt wird.

Die neuartige P-Wannen-Vorspannung mit Hilfe des inversen NPN-Effektes kann weiterhin für die gesamte P-Wanne der Steuerschaltung verwendet werden, um die gesamte P-Wanne der Steuerschaltung von der integrierten Schutzdiode des MOSFET zu entkoppeln. Bei vielen Anwendungen der 'SMARTFET'-Bauteile, beispielsweise in einer H-Brückenschaltung verwendet der Konstrukteur die integrierte Schutzdiode eines Leistungs-MOSFET's, um den Laststrom rezirkulieren zu lassen. In diesem Fall leitet die integrierte Schutzdiode nicht nur eine kurze Übergangsperiode, sondern leitet große Ströme bis zu mehreren Millisekunden. Der parasitäre NPN-Transistor, der mit der gesamten Steuerschaltung unter Einschluß einer großen N⁺- zu P-Bereichs-Eingangsschutzzenerdiode verbunden ist, leitet. Unter diesen Umständen wird nicht nur eine Fehlfunktion der Steuerschaltung hervorgerufen, sondern der große N⁺-Bereich in der Eingangs-Schutzstruktur zieht auch den Eingangsanschluß des 'SMARTFET'-Bauteils unterhalb von Erddpotential. So wurde bei einem Versuch festgestellt, daß wenn die integrierte MOSFET-Schutzdiode einen Strom von 1 Ampere leitete, der Eingangsanschluß 50 mA "aufging". Dies würde katastrophal für jede beliebige Schaltung sein, die den 'SMARTFET' ansteuert.

Die Anwendung der vorstehend beschriebenen neuen Idee der zusätzlichen absichtlichen Einführung eines parasitären inversen NPN-Transistors beseitigt diesen Zustand.

Vorteilhafterweise verwendet die Schaltung gemäß der Erfindung einen Kondensator, um die Spannung an einem der Eingänge des Fehler-Signalspeichers während des kurzzeitigen Übergangs der integrierten Schutzdiode in den leitenden Zustand auf einem hohen Pegel zu halten (was dem Festhalten des Leistungs-MOSFET's im abgeschalteten Zustand entspricht), wodurch sichergestellt ist, daß wenn sich die Drainspannung des MOSFET's vollständig stabilisiert hat, das Leistungsbauteil abgeschaltet bleibt.

Ein zweiter Grundgedanke bei dieser Schaltung umfaßt das Festhalten der P-Wanne, in der sich der Schalter, der den Haltekontensator ansteuert, und der Eingang an den Fehler-Signalspeicher (die P-Wanne) befindet, während dieses vorzeitigen Überganges der integrierten Schutzdiode nahezu auf epi-Potential, wodurch der inverse NPN-Effekt bei dieser P-Wanne unwirksam gemacht wird. Im Ergebnis wird ein absichtlich ausgebildeter inverser NPN-Transistor zum Ausgleich des parasitären inversen NPN-Effektes verwendet, der sich bei der speziellen NMOS-Bauteil-P-Wanne innerhalb des Fehler-Signalspeichers befindet, wobei die Spannung an dem Haltekontensator dazu verwendet wird, sicherzustellen, daß, wenn die Drainspannung des Leistungs-MOSFET's sich stabilisiert, der Fehler-Signalspeicher auf den richtigen Zustand gesetzt ist.

Ausführungsbeispiele der Erfindung werden im folgenden anhand der Zeichnungen noch näher erläutert.

In der Zeichnung zeigen:

Fig. 1 ein Blockschaltbild einer bekannten Art eines Leistungs-MOSFET's mit integrierten Steuerschaltungen, der

als erdseitiger Schaltregler verwendet wird und eine induktive Last ansteuert,

Fig. 2A die Eingangsspannung als Funktion der Zeit,

Fig. 2B die Gegenspannung, die längs des Bauteils aufgrund der geklemmten induktiven Last in Fig. 1 induziert wird, und zwar auf der gleichen Zeitbasis wie Fig. 2A,

Fig. 2C die Temperatur der Leistungs-MOSFET-Grenzschichten bei einem Fehler bei der Speisung einer induktiven Last auf der gleichen Zeitbasis wie Fig. 2A,

Fig. 2D die Leistungs-MOSFET-Gatespannung auf der gleichen Zeitbasis wie Fig. 2A,

Fig. 3 in vergrößerter Form die gedämpfte Schwingung der Drainspannung des Leistungs-MOSFET nach Fig. 1 in einer Schaltung, die die geklemmte induktive Rücklaufspannung verwendet, wobei gezeigt ist, wie die integrierte Schutzdiode des MOSFET in Durchlaßrichtung vorgespannt werden kann,

Fig. 4 die Eingangsschaltlogikschaltung nach Fig. 1, die gemäß der Erfindung einen zusätzlichen und beabsichtigten parasitären NPN-Transistor verwendet, der beim Einschalten die Steuerschaltungs-P-Wanne von der integrierten Schutzdiode des Leistungs-MOSFET isoliert, wobei weiterhin ein neuartiger Kurzzeit-Speicherkondensator gezeigt ist,

Fig. 5 ein Querschnitt des Grenzschichtmusters einer integrierten Leistungsschaltung unter Verwendung der vorliegenden Erfindung,

Fig. 6 ein Schaltbild, das zur Erläuterung der Betriebsweise der vorliegenden Erfindung verwendet wird,

Fig. 7 eine weitere schematische Darstellung zum Verständnis der Betriebsweise gemäß der Erfindung.

Zunächst wird auf die Fig. 1 Bezug genommen, in der eine bekannte integrierte Leistungsschaltung gezeigt ist, bei der ein Leistungs-MOSFET-Abschnitt 10 zusammen mit Steuerschaltungen in dem gleichen Siliziumplättchen integriert ist.

Der Leistungs-MOSFET 10 ist als Stromsensorbauteil mit einem Drain-Anschlußstift 11, einem Source-Anschlußstift 12 und einem Eingang 13 dargestellt, wobei das Bauteil in einem drei Anschlußstifte aufweisenden Gehäuse vom TO220-Typ angeordnet ist. Ein derartiges Bauteil kann ein Anschlußstift-kompatibler Ersatz für irgendeinen Leistungs-MOSFET mit TO220-Gehäuse sein. Die zu beschreibende Erfindung ist jedoch auf beliebige Gehäuseformen von integrierten Leistungsschaltungen anwendbar.

Das Gesamtbauteil kann in beliebigen Schaltungen verwendet werden, beispielsweise in Schaltungen für Sperrspannungswerte von 60 Volt, jedoch allgemeiner für Schaltungen, die Betriebsspannungen von 30 Volt bis über 600 Volt aufweisen. Die Eingangsspannung am Anschluß 13 kann ungefähr 10 Volt oder weniger betragen. Ein Strommeß-Hilfsausgang 14 ist ebenfalls vorgesehen.

Die Steuerschaltung, die in das gleiche Siliziumplättchen integriert ist, das auch den Leistungs-MOSFET 10 enthält, schließt die Einschalt-/Ausschalt-Schaltung 20, die eine MOSFET-Schaltung sein kann, eine Logikschaltung 21, eine Überstrom-Überwachungsschaltung 22 und eine Über-temperatur-Überwachungsschaltung 23 ein.

Eine Klemmschaltung, die aus einer Zenerdiode 30 und einer gegenseitig gepolten Diode 31 besteht, ist zwischen der Gate- und Drain-Elektrode des Leistungs-MOSFET's 10 geschaltet. Der Leistungs-MOSFET 10 weist weiterhin in der dargestellten Weise seine integrierte Diode 32 auf. Eine weitere Zenerdioden-Klemmschaltung 33 ist zwischen dem Source-Anschlußstift 12 und dem Eingangsanschlußstift 13 geschaltet.

Die Schaltung nach Fig. 1 wird üblicherweise zur Ansteuerung einer induktiven Last verwendet. Entsprechend ist eine Spannungsquelle VCC am Anschluß 40 schematisch in

einer Serienschaltung mit einer Induktivität 41 und dem Drain-Anschlußstift 11 dargestellt.

Die Schaltung nach Fig. 1 arbeitet wie folgt:

Zum Einschalten des Leistungs-MOSFET's 10 wird eine Eingangsspannung am Anschluß 13 angelegt. Hierdurch wird die Einschalt-/Ausschalt-Schaltung 20 eingeschaltet, um die Gate-Source-Kapazität des MOSFET 10 aufzuladen, um diesen einzuschalten. Ein Strom kann dann vom Anschluß 40 durch die induktive Last 41 zum Drain-Anschlußstift 11 und durch den MOSFET 10 zum Source-Anschlußstift 12 fließen. Wenn ein Überstrom- oder ein Übertemperatur-Fehler von den Schaltungen 22 bzw. 23 gemessen wird, so wird die Logikschaltung 21 aktiviert, um die Schaltung 20 anzusteuern und damit den Leistungs-MOSFET 10 abzuschalten. In ähnlicher Weise schaltet bei Fortfall des Eingangssignals am Anschlußstift 13 die Einschalt-/Ausschalt-Schaltung 20 den Leistungs-MOSFET 10 ab.

Die Klemmschaltung 30-31 bewirkt ein Einschalten während des Abschaltvorganges des MOSFET's 10, um einen Lawinendurchbruch in dem MOSFET 10 während des Abschaltens zu verhindern. Entsprechend legt die Klemmschaltung 30, 31 einen Schwellenwert fest, der unterhalb der Lawinendurchbruchsspannung liegt, um ein parasitäres Einschalten zu verhindern, und sie ermöglicht es dem Leistungs-MOSFET, die gesamte Energie während des Abschaltens zu verarbeiten.

Die Fig. 2A, 2B, 2C und 2D zeigen die Schwingungsformen, die in der Schaltung nach Fig. 1 während eines Übertemperaturzustandes auftreten, wenn die Schaltung in einem Schaltregler verwendet wird, bei dem der Leistungs-MOSFET 10 mit irgendeiner veränderlichen Frequenz und einem veränderlichen Tastverhältnis entsprechend dem von dem Benutzer gelieferten Eingangssignal an dem Eingangs-Anschlußstift 13 in Fig. 1 ein- und ausgeschaltet wird.

Fig. 2A zeigt die Eingangsspannung am Anschlußstift 13. Fig. 2B zeigt die Drain-Spannung an dem MOSFET 10, die durch die Klemmschaltung 30 nach Fig. 1 geklemmt wird. Wenn daher das Eingangssignal den MOSFET 10 abschaltet, so weist die Drainspannung einen hohen Spitzenwert aufgrund der geklemmten induktiven Last auf. Nach dem Erreichen des Spitzenwertes und der Klemmung verringert sich die Drainspannung und schwingt um die Spannung VCC. Dieser Vorgang wird weiter unten ausführlicher anhand der Fig. 3 erläutert.

Fig. 2C zeigt die Grenzschichttemperatur T_j des MOSFET's 10, die proportional zum Drain-Dauerstrom ist. Die Übertemperaturschaltung 23 nach Fig. 1 ist so ausgelegt, daß sie eine Schwellentemperatur von 160°C aufweist, bei der der MOSFET 10 nach Fig. 1 abschaltet. Es sei bemerkt, daß, während der Leistungs-MOSFET 10 leitet, die Temperatur ansteigt, während, wenn der MOSFET 10 abgeschaltet ist, die Temperatur T_j absinkt. Es sei weiterhin bemerkt, daß bei herkömmlichen MOSFET's gemäß dem Beispiel nach Fig. 2C die Temperatur T_j schließlich 160°C überschreitet.

Fig. 2D zeigt schematisch die Gatespannung des MOSFET 10. Somit wird zu dem Zeitpunkt, zu dem T_j 160°C überschreitet (Fig. 2C) der Fehler-Signalspeicher in dem Logikblock 21 in Fig. 2D gesetzt und schaltet den Leistungs-MOSFET 10 dadurch ab, daß das Gate des Leistungs-MOSFET's auf einen niedrigen Pegel gezogen wird (nicht in Fig. 1 gezeigt). Der Fehler-Signalspeicher kann nach dem Abschalten durch die Logikschaltung 21 nur dadurch zurückgesetzt werden, daß der Eingangsanschlußstift 13 mit Erde verbunden wird.

Fig. 3 zeigt die gedämpfte Schwingung der Drainspannung des MOSFET 10 aufgrund der geklemmten induktiven Rücklaufspannung. Wenn der MOSFET 10 eingeschaltet ist, so ist die Spannung Null oder niedrig. Wenn der MOSFET

10 abgeschaltet wird, steigt die Drainspannung jedoch auf die durch die Klemmschaltung 30 eingestellte Klemmspannung an. Die Drainspannung schwingt dann aufgrund der Streukapazität in der Schaltung um die Spannung VCC.

Es wurde festgestellt, daß wenn die Temperatur T_j hoch ist, die erste nach unten gerichtete Schwingung der Drainspannung unter Null absinken kann, wie dies in Fig. 3 gezeigt ist. Zu diesem Zeitpunkt wird die integrierte MOSFET-Schutzdiode des MOSFET 10 in Durchlaßrichtung vorgespannt und injiziert Minoritätsträger in die P-Leitungstyp-Bereiche des MOSFET 10, wie dies weiter unten gezeigt wird. Diese Injektion von Minoritätsträgern tritt auch in den Steuerschaltungsbauteilen der integrierten Schaltung auf, so daß deren Betrieb gestört wird.

Fig. 4 zeigt ein Schaltbild des Eingangslogikblockes 21 entsprechend Fig. 1. Die Eingänge an die Logikschaltung nach Fig. 4 schließen einen Erdschluß 50, einen Ausschalt-Ausgangsanschluß 51 (an die Einschalt-/Ausschalt-Schaltung 20 nach Fig. 1), einen VCC-Eingangsanschluß 52, einen VDD-Eingangsanschluß 53 (von dem Drain-Anschlußstift 11 nach Fig. 1), einen Überstrom-Eingangsanschluß 54 und einen Übertemperatur-Eingangsanschluß 55 ein. Der Eingangsanschluß 55 nimmt einen niedrigen Pegel an, wenn die Grenzschichttemperatur nach Fig. 2 den Wert von 160°C erreicht.

In Fig. 4 ist eine Anzahl von MOS-Steuertransistoren M1 bis M11 gezeigt, die in das Siliziumplättchen integriert sind, das außerdem die Grenzschichten für den Leistungs-MOSFET 10 enthält. Diese Transistoren sind üblicherweise in einer P-Senke ausgebildet, die mit seitlichem Abstand von dem N-Kanal-Leistungs-MOSFET-Abschnitt angeordnet ist, und sie haben die folgenden Funktionen:

Die MOSFET's M1 und M2 bilden einen Inverter und schalten den Ausschalt-Anschluß 51 zwischen hohen und niedrigen Pegeln in Abhängigkeit von der Gate-Spannung an dem Transistor M1 von dem Einschalt-Knoten ON um.

Die Transistoren M9, M10 und M11 wirken als eine NAND-Schaltung, und wenn irgendeiner ihrer Eingänge einen niedrigen Pegel annimmt, so nimmt die FEHLER-Leitung einen hohen Pegel an. Die Transistoren M8 und M3 sind Ersatzlast-Verarmungs-Transistoren.

Gemäß einem Grundgedanken der Erfindung schaltet Transistor M7, der als Verarmungs-NMOS-Bauteil gezeigt ist, während der Zeit, zu der das Signal FEHLER einen hohen Pegel aufweist, ein und wirkt wie eine MOSFET-Diode. Die Funktion des Transistors M7 wird weiter unten erläutert.

Die Transistoren M4, M5 und M6 werden eingeschaltet, wenn das Signal FEHLER einen hohen Pegel annimmt. Der Knoten ON nimmt dann einen niedrigen Pegel an. Es sei bemerkt, daß die Transistoren M4, M5 und M6 mit den Transistoren M9, M10 und M11 kreuzgekoppelt sind, um einen Rückkopplungseffekt zu erzielen.

Ein Kondensator C1 ist vorgesehen, um für eine kurze Zeit (wenige Mikrosekunden) den Zustand des Knotens X zu speichern.

In der Schaltung nach Fig. 4 gibt es weiterhin eine Anzahl von unbeabsichtigten parasitären NPN-Transistoren, wie zum Beispiel der parasitäre Transistor 91. Diese Transistoren sind in der die Steuerschaltung enthaltenden P-Wanne angeordnet und schalten ein, wenn die integrierte MOSFET-Schutzdiode in Vorwärtsrichtung (Fig. 3) vorgespannt wird. Wenn sie einschalten, so setzen sie in fehlerhafter Weise den Signalspeicher und schalten den Leistungs-MOSFET erneut ein.

Um diese Betriebsweise des parasitären Transistors 91 zu kompensieren, ist gemäß dem Prinzip der Erfindung ein NPN-Transistor 100 (ebenfalls ein parasitärer Transistor)

absichtlich der Schaltung hinzugefügt. Der Transistor 100 steuert die P-Wanne des Schalters in Form des Transistors M7. Der Schalter M7 ist gegenüber dem Leistungs-MOSFET-Abschnitt isoliert, weil sein P-Bereich elektrisch nicht gegenüber Erde kurzgeschlossen ist. Es ist weiterhin ein Widerstand R1 vorgesehen, um die P-Wanne des Schalters M7 im Normalbetrieb auf Erdpotential vorzuspannen. Der parasitäre Transistor 100 schaltet zusammen mit dem Transistor 91 ein, doch wenn der Transistor 100 eingeschaltet wird, so zieht er die P-Wanne, in der der Transistor M7 angeordnet ist, nahezu auf das EPI-Potential. Hierdurch wird dann der Knoten 'X' von dem 'FEHLER'-Knoten isoliert, während die integrierte Schutzdiode des MOSFET 10 leitet. Daher werden während der Periode dieses Leitungszustandes die Knoten ON und FEHLER auf einen Pegel unterhalb von Erde gezogen, und der Knoten 'X' weist einen hohen Pegel auf. Der NMOS-Verarmungs-Transistor M7 verhält damit sich wie eine einen niedrigen Wert aufweisende Stromquelle, und er ist so ausgelegt, daß er es dem Knoten 'X' ermöglicht, zumindestens solange auf einem hohen Logikpegel zu bleiben, wie die leitende Periode der integrierten Schutzdiode des MOSFET 10 anhält. Irgendein anderer Transistor oder eine Schaltung, die die vorstehend genannte Funktion erfüllt, kann anstelle des MOSFET's M7 verwendet werden.

Sobald die leitende Zeitperiode der integrierten Schutzdiode des MOSFET 10 abgelaufen ist, schalten der parasitäre NPN-Transistor 91 ab, und die Schaltung erholt sich mit einem hohen Logikpegel am Knoten 'X'. Dieser hohe Logikpegel am Knoten 'X' erzwingt dann einen niedrigen Pegel am Knoten ON, was sicherstellt, daß der MOSFET 10 nach dem leitenden Zustand seiner integrierten Schutzdiode im abgeschalteten Zustand gehalten wird.

Fig. 5 zeigt den Aufbau des Leistungs-MOSFET's und der Steuerschaltung für ein 'SMARTFET'-Bauteil, das gemäß der Erfindung ausgebildet ist, und zeigt die Lage der parasitären inversen NPN-Transistoren. In Fig. 5 hat der dargestellte Teil des Halbleiterplättchens ein N⁺-Substrat 110, das außerdem als Leistungs-MOSFET-Drain nach Fig. 1 wirken kann. Eine N⁻-Epitaxialschicht 111 ('epi') nimmt die Zellen wie zum Beispiel die Zelle 112 des Leistungs-MOSFET-Abschnittes auf, die jeweils die in der US 5 008 725 gezeigte Struktur aufweisen können. Die N⁻-Epi-Schicht 111 nimmt weiterhin eine P⁻-Wanne 120 auf, die durch P⁺-Senkenbereiche, wie zum Beispiel die Senkenbereiche 121, 122 und 123 in eine Anzahl von Steuerschaltungs-Wannen unterteilt sein kann. Die P⁺-Senkenbereiche können zum gleichen Zeitpunkt wie die P⁺-Hauptteile der Leistungs-MOSFET-Zellen 112 hergestellt werden. Entsprechend sind, wenn die in dem Hauptteil des MOSFET integrierte Übergangs-Schutzdiode 130 in Vorwärtsrichtung vorgespannt ist (siehe Fig. 3) auch alle hierzu in Beziehung stehenden parasitären Übergangs-Dioden 131, 132 ebenfalls in Vorwärtsrichtung vorgespannt.

Typische Steuerschaltungen unter Verwendung von lateralen MOSFET's sind in den P⁻-Wannenabschnitten 120a und 120b des P⁻-Bereiches 120 gezeigt. Diese P⁻-Senken weisen außerdem integrale parasitäre inverse NPN-Transistoren 140 und 141 auf. Diese parasitären Transistoren entsprechen dem Transistor 91 nach Fig. 4 und weisen eine Verstärkung auf, weil sie leicht dotierte P⁻-Bereiche aufweisen. Wenn daher die P⁺-Bereiche in dem Halbleiterplättchen zusammen mit der Übergangs-Schutzdiode des Haupt-Leistungs-MOSFET's in Vorwärtsrichtung vorgespannt werden, so schalten diese Transistoren ein.

Fig. 6 zeigt ausführlicher die Lage des Transistors 100 nach Fig. 4 in dem Siliziummaterial nach Fig. 5. Entsprechend zeigt Fig. 6 die Anschlüsse und Knoten für Erde 50, den Knoten 'X' und 'FEHLER' nach Fig. 4, und sie zeigt die

Kondensatoren, die durch eine Polysiliziumplatte oberhalb der P⁺-Wanne gebildet sind, den Verarmungstransistor M7 nach Fig. 4 sowie den Polysiliziumwiderstand R1 und den Transistor 100.

Die Betriebsweise der Struktur nach Fig. 6 ist wie folgt:

Wenn VDD unter Erdpotential absinkt (das heißt wenn die Übergangs-Schutzdiode des MOSFET's 10 in Vorwärts- oder Durchlaßrichtung vorgespannt ist und leitet), so schaltet der Transistor 100 in einer inversen Betriebsart ein, wodurch die P-Wanne des Verarmungs-Transistors M7 nach unten nahezu auf das epi-(VDD-) Potential gezogen wird. Dies verhindert jede parasitäre NPN-Wirkung innerhalb der P-Wanne und ermöglicht es dem Kondensator C1, den Logikpegel am Knoten 'X' auf einem hohen Wert zu halten. Während der Zeit, während der der Transistor 100 eingeschaltet ist, verhält sich M7 als eine einfache Stromquelle, und er ist so ausgelegt, daß er den Kondensator C1 während des leitenden Zustands der Übergangs-Schutzdiode des MOSFET's 10 nicht entlädt. Es ist zu erkennen, daß wenn der leitende Zustand der integrierten Schutzdiode länger anhält, M7 schließlich C1 vollständig entlädt und die Fehlerinformation verlorengeht. Daher sollte die Zeit des leitenden Zustandes dieser integrierten Schutzdiode endlich sein. Sobald der leitende Zustand der integrierten Schutzdiode des MOSFET 10 aufhört, nimmt VDD einen hohen Wert an, der Transistor 100 schaltet ab, und der Signalspeicher erholt sich in einem vorhersagbaren Zustand, weil der Logikpegel am Knoten 'X' einen hohen Wert aufweist.

Fig. 7 zeigt eine weitere Erläuterung anhand einer schematischen Darstellung der vorliegenden Erfindung, wobei erneut die Beziehung des Widerstandes R1, des Transistors 100 und des parasitären NPN-Transistors M7 in der schematisch dargestellten Steuerschaltung gezeigt ist. Der Transistor M7 ist der NPN-Transistor, der der P⁻-Wannen-/epi-Grenzschicht-Diode zugeordnet ist. Gemäß dem Prinzip der vorliegenden Erfindung wird dieser Transistor M7 während des leitenden Zustandes der Übergangs-Schutzdiode 32 des Haupt-Leistungs-MOSFET's durch das Einschalten des Transistors 100 im abgeschalteten Zustand oder auf einer hohen Impedanz gehalten.

Patentansprüche

1. Leistungs-MOSFET mit einem Übergangsbereich, der in einem Siliziumplättchen ausgebildet ist, mit einer auf Fehler ansprechenden Signalschaltung, die in das gleiche Siliziumplättchen integriert ist, wobei der Leistungs-MOSFET ein Siliziumsubstrat vom N-Leitungstyp umfaßt, das eine Vielzahl von sich in jeweiligen Bereichen vom P-Leitungstyp befindenden Zellen enthält, die in dem Siliziumplättchen ausgebildet sind und alle Zellen gemeinsame Source-Drain- und Gateelektroden aufweisen, und mit einer Wanne (120) vom P-Leitungstyp, die in dem Substrat (110) vom N-Leitungstyp ausgebildet ist und in der die auf Fehler ansprechende Signalschaltung ausgebildet ist, **dadurch gekennzeichnet**, daß die auf Fehler ansprechende Signalschaltung eine Fehler-Signalspeicherschaltung (21) einschließt, die mit den Gateelektroden verbunden ist, um den Leistungs-MOSFET (10) bei Auftreten eines Fehlerzustandes abzuschalten, daß die auf Fehler ansprechende Signalschaltung einen bipolaren Transistor (100) einschließt, der in die Wanne (120) vom P-Leitungstyp integriert und so geschaltet ist, daß er in einer inversen Betriebsart bei einer Durchlaßvorspannung der Übergangsdioden (32) des Leistungs-MOSFET angeschaltet wird, daß der bipolare Transistor (100) im eingeschalteten Zustand das Substrat (110)

vom N-Leitungstyp mit der Wanne (120) von P-Leitungstyp kurzschließt, und daß ein MOSFET-Steuertransistor (M7) in eine zweite Wanne vom P-Leitungstyp integriert und derart geschaltet ist, daß er beim Einschalten des bipolaren Transistors (100) abgeschaltet wird, wodurch die Aktivierung eines parasitären Transistors verhindert wird, der aus dem Siliziumsubstrat vom N-Leitungstyp, der zweiten Wanne vom P-Leitungstyp und zumindest einem in dieser ausgebildeten Bereich vom N-Leitungstyp gebildet ist, wobei der MOSFET-Steuertransistor mit der Fehler-Signalspeicherschaltung (21) für den Leistungs-MOSFET verbunden ist, um die Gates abzuschalten und den Leistungs-MOSFET abzuschalten, wenn der MOSFET-Steuertransistor (M7) leitet.

2. Leistungs-MOSFET nach Anspruch 1, dadurch gekennzeichnet, daß weiterhin ein Kondensator (C1) vorgesehen ist, der in Serie mit dem MOSFET-Steuertransistor (M7) geschaltet ist, so daß der Knoten (X) zwischen dem MOSFET-Steuertransistor (M7) und dem Kondensator (C1) von dem Substrat vom N-Leitungstyp entkoppelt ist, wenn der bipolare Transistor (100) einschaltet.

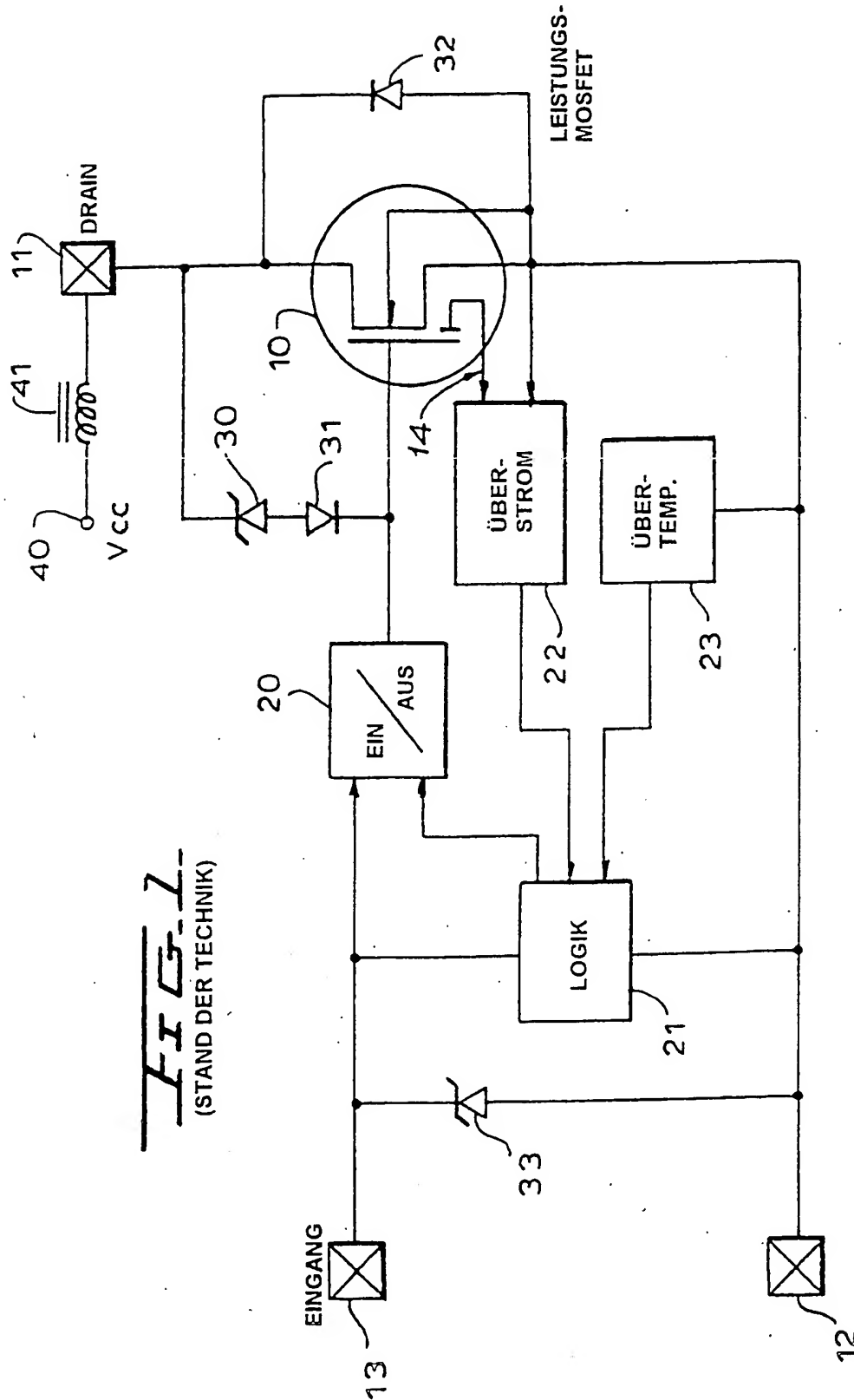
3. Leistungs-MOSFET nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der MOSFET-Steuertransistor (M7) ein Verarmungs-MOSFET ist.

4. Leistungs-MOSFET nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Fehler-Signalspeicherschaltung in Abhängigkeit von einem Über-temperaturzustand betätigt wird.

5. Leistungs-MOSFET nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß ein Widerstand (R1) vorgesehen ist, der zwischen dem Bereich des MOSFET-Steuertransistors (M7) und in einem geschlossenen Kreis mit dem Kondensator (C1) und einer Hauptelektrode des MOSFET-Steuertransistors (M7) geschaltet ist.

Hierzu 7 Seite(n) Zeichnungen

- Leerseite -



FIET
(STAND DER TECHNIK)

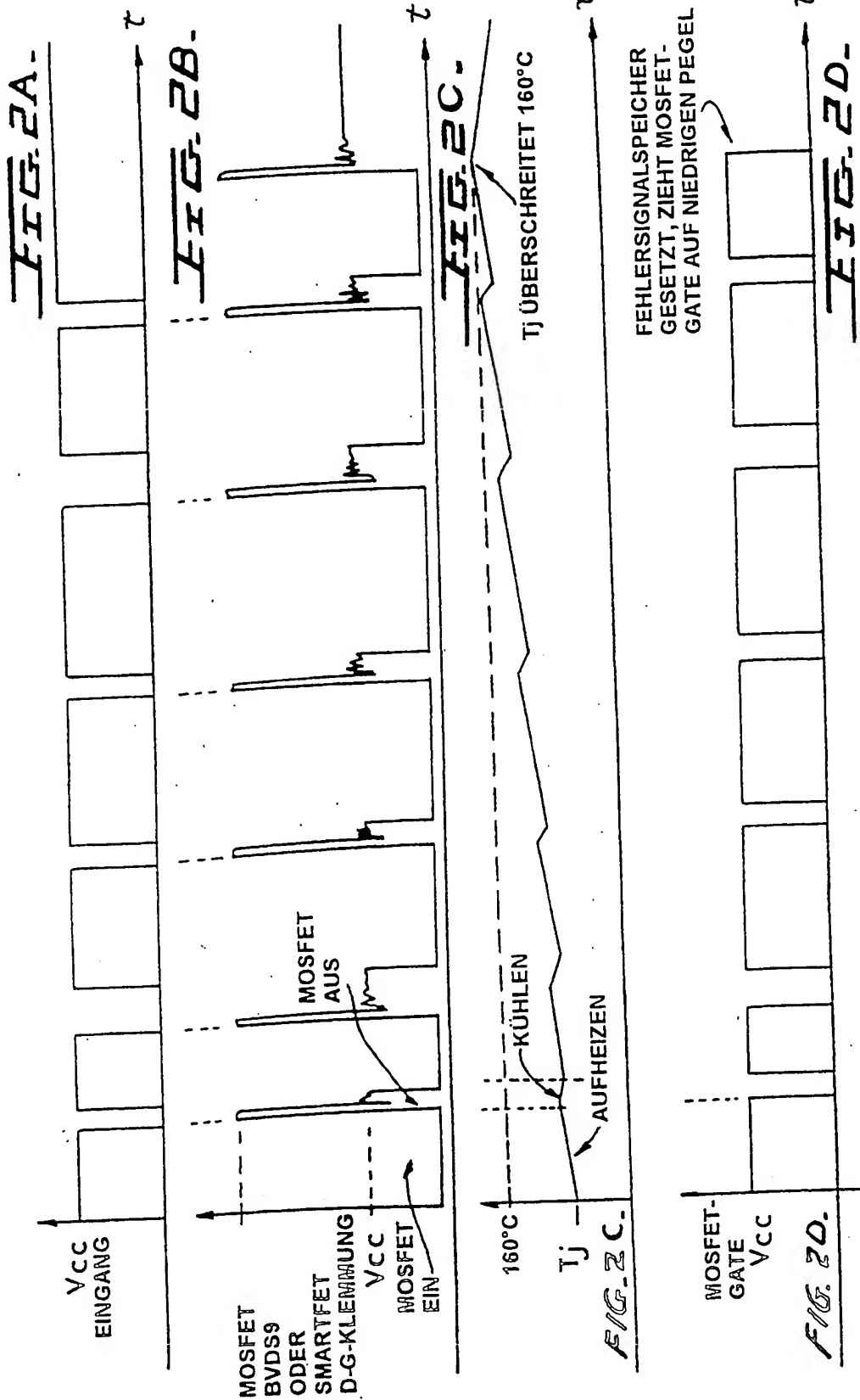
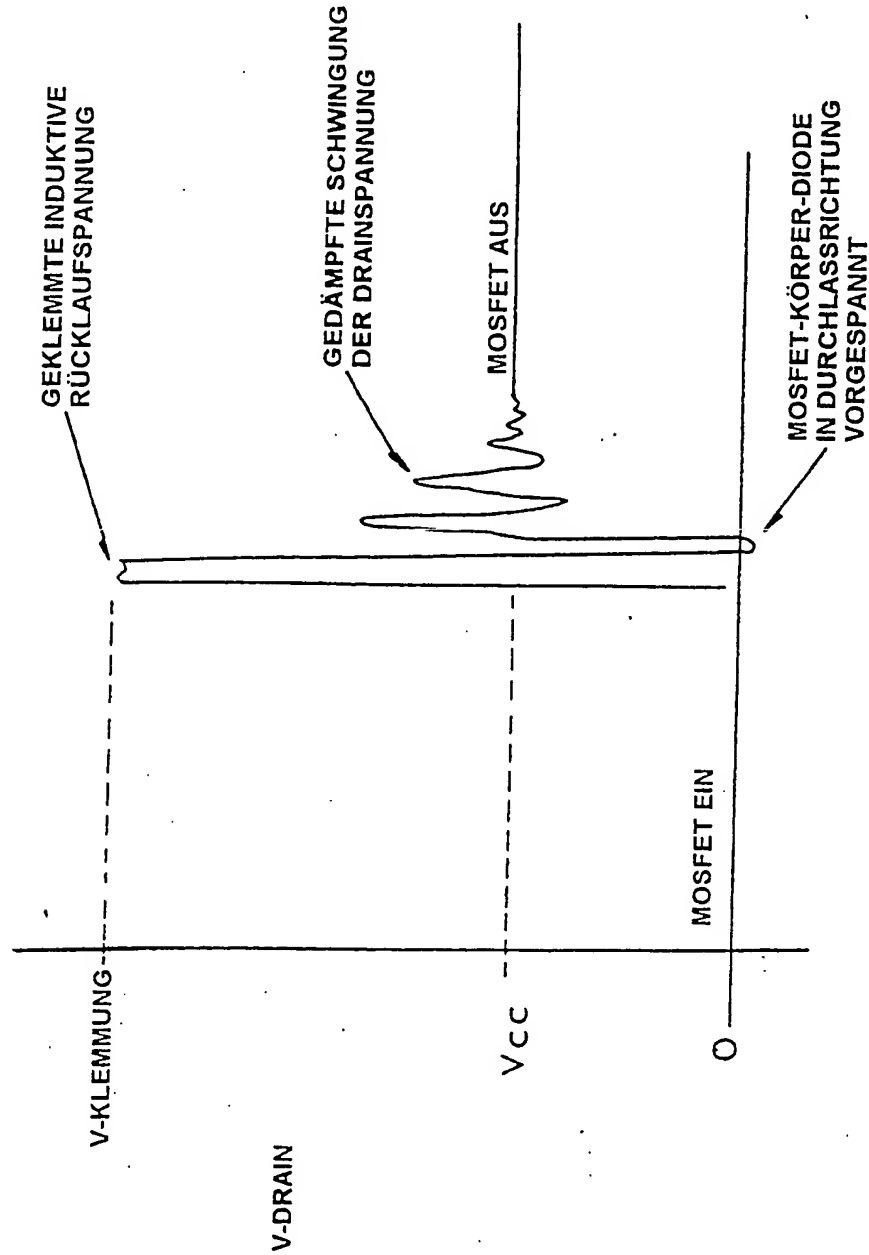


FIG. 3.



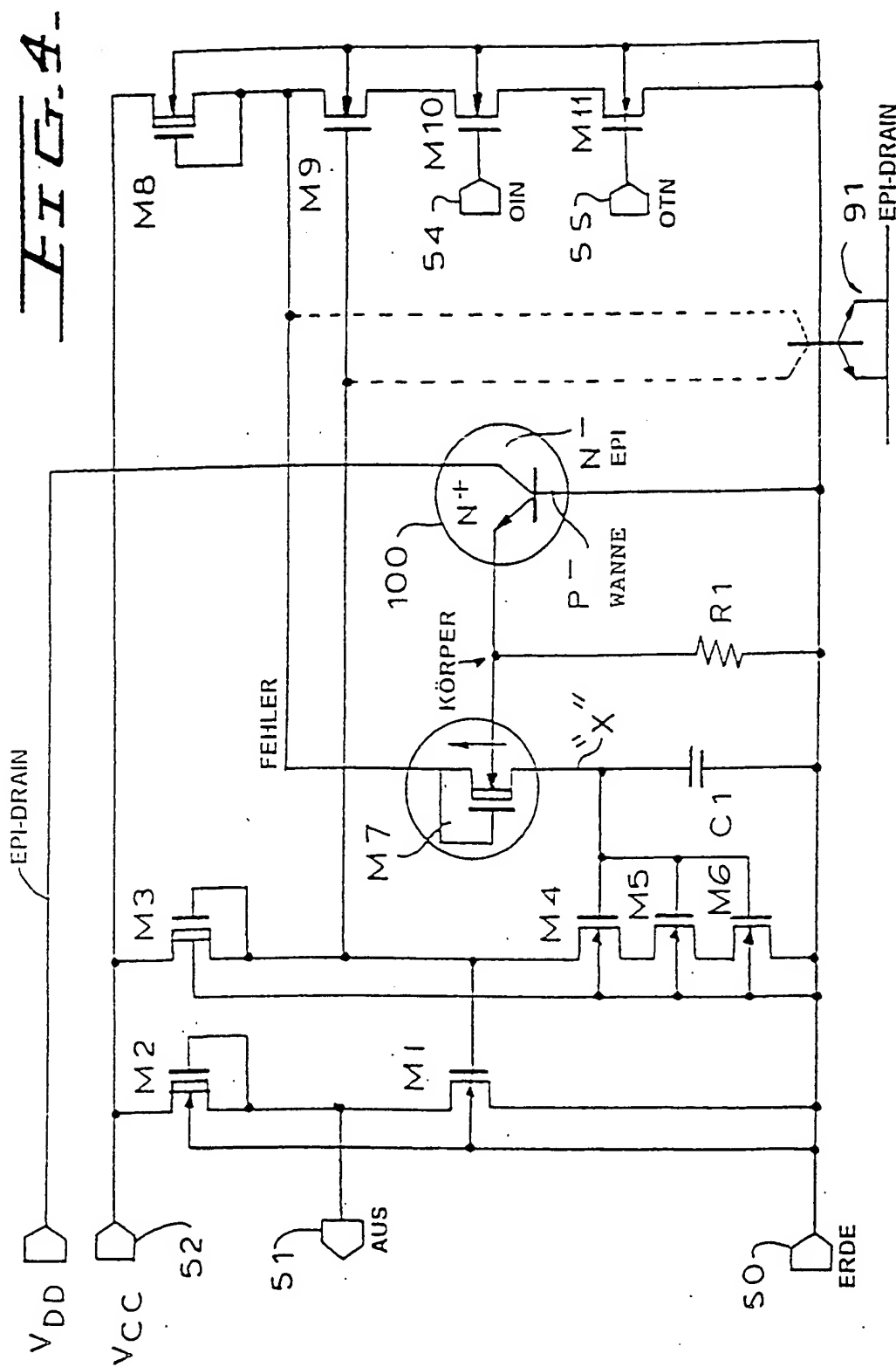


FIG. 5.

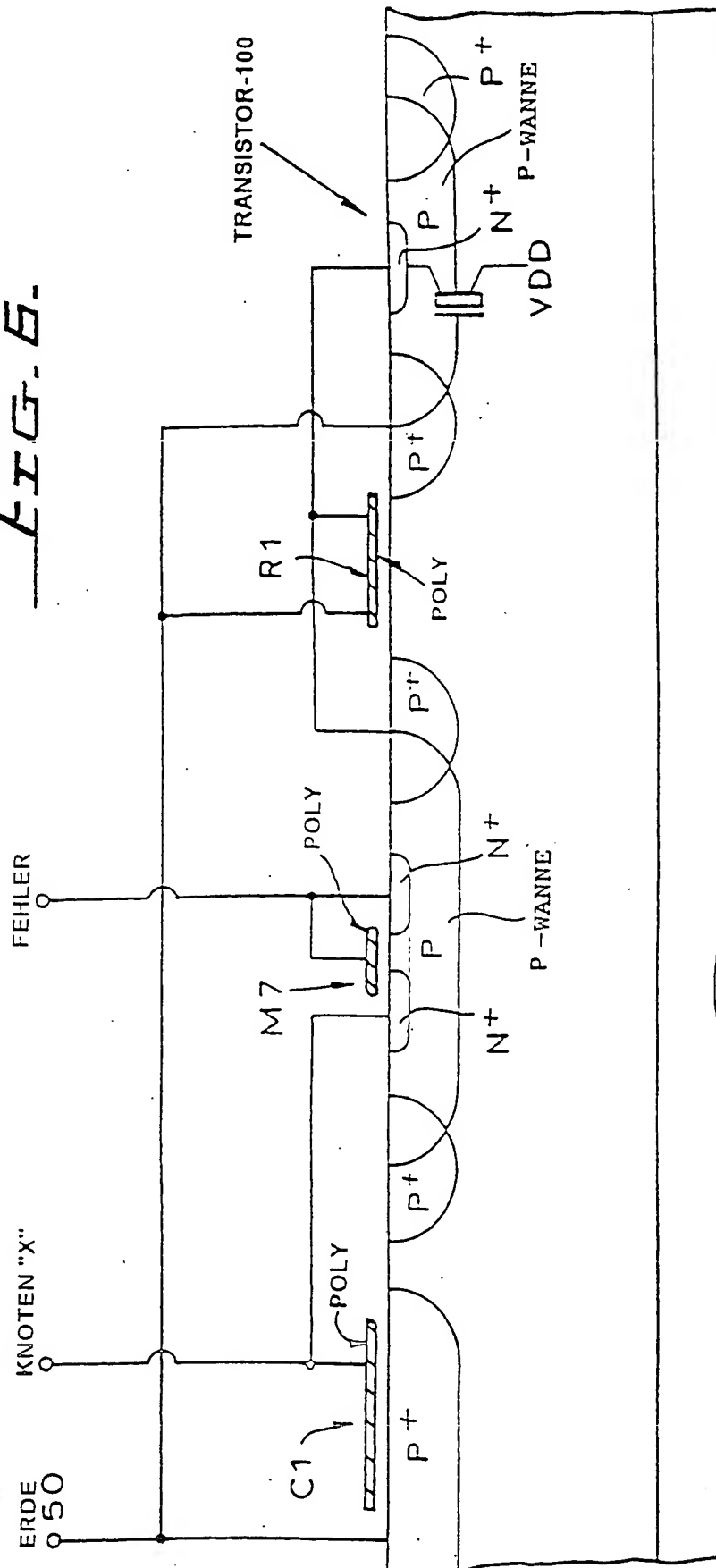


FIG. 7

